

## ⑫ 公開特許公報(A)

平2-190059

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月26日

H 04 L 12/56

7830-5K H 04 L 11/20

1 0 2 B

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 バッファ制御装置

⑮ 特 願 平1-8730

⑯ 出 願 平1(1989)1月19日

⑰ 発 明 者 正 木 達 也 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑰ 発 明 者 植 竹 芳 勝 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
⑲ 代 理 人 弁理士 香取 孝雄 外1名

## 明 細 書

## 1. 発明の名称

バッファ制御装置

## 2. 特許請求の範囲

1. ヘッダが付加された情報を受け、該情報の廃棄制御を行なうバッファ制御装置において、該装置は、

前記情報のヘッダより該情報の優先順位を識別する識別手段と、

記憶番地毎に前記情報を記憶する記憶手段と、

前記識別手段により優先順位が低いとされた非優先情報が記憶されている前記記憶手段の記憶番地を記憶する廃棄番地発生手段と、

前記記憶手段の記憶状況を管理するとともに、前記情報の優先順位を前記識別手段から受け、該情報の記憶または廃棄制御を前記記憶手段に行なう制御手段とを有し、

前記記憶手段に記憶可能な数の前記情報が該記憶手段に記憶されているときに優先順位の高い優

先情報を受けると、

前記制御手段は、前記廃棄番地発生手段に記憶されている前記記憶手段の記憶番地に前記受けた優先情報が記憶されるよう制御することを特徴とするバッファ制御装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はバッファ制御装置、とくにヘッダが付加された情報を処理する交換機などの通信制御装置に有利に適用されるバッファ制御装置に関する。

(従来の技術)

たとえばパケット交換機は、処理能力以上にパケットを受信してそのスイッチ網が輻輳状態にならないように、受信したパケットをスイッチング処理する前に入力パケットの流量制限を行なっている。パケット交換機には、このような流量制限を行なう装置として、バッファ制御装置が配設されている。このバッファ制御装置は、パケットを

記憶するバッファメモリと、このメモリの入出力制御を行なう制御回路とを有する。

たとえばバケット毎に優先処理を行なわないバッファ制御装置の場合、その制御回路は、バッファメモリに空きがあると受信したバケットの書き込み制御をバッファメモリに行ない、またバッファメモリがフルのときには受信したバケットをバッファメモリに書き込まずにその廃棄処理を行なう。

また、バケットに優先クラスを設け、この優先クラスに応じて廃棄制御を行なう従来のバッファ制御装置の制御方式として、たとえば日野他による「遅延時間と廃棄率を独立に制御するバケットバッファの特性」電子情報通信学会SE87-92、および栗林他による「多元バケット優先転送方式のトラヒック特性評価」電子情報通信学会SE87-75などに記載されたものがある。これらには、バケットバッファを優先クラス毎に設けることで優先処理を行なうバッファ分割方式、優先度の高いバケット用バッファに空きがあるときにはそれを

た、

本発明はこのような従来技術の欠点を解消し、廃棄制御が容易であり、また記憶手段の使用効率が優れたバッファ制御装置を提供することを目的とする。

(課題を解決するための手段)

本発明は上述の課題を解決するために、ヘッダが付加された情報を受け、この情報の廃棄制御を行なうバッファ制御装置は、情報のヘッダより情報の優先順位を識別する識別手段と、記憶番地毎に前記情報を記憶する記憶手段と、識別手段により優先順位が低いとされた非優先情報が記憶されている記憶手段の記憶番地を記憶する廃棄番地発生手段と、記憶手段の記憶状況を管理するとともに、情報の優先順位を識別手段から受け、情報の記憶または廃棄制御を記憶手段に行なう制御手段とを有し、記憶手段に記憶可能な数の情報が記憶手段に記憶されているときに優先順位の高い優先情報を受けると、制御手段は、廃棄番地発生手段に記憶されている記憶手段の記憶番地に受けた優

優先度の低いバケットに融通するバッファ融通方式が示されている。

(発明が解決しようとする課題)

しかしながらこのような従来技術におけるバッファ制御装置は、バケットの優先度に応じて廃棄処理を行なわなければならない、バッファメモリがフルの場合には優先度の高いバケットも優先度の低いバケットと同様に廃棄制御されてしまう。また、バケットの優先度に応じて廃棄処理を行なう場合には以下のような問題点がある。

すなわち、たとえばバッファ分割方式を適用したバッファ制御装置では、バケット優先度毎にそれぞれバッファを設けなければならない。このため、バッファ量が必然的に多くなるとともに、同一優先度のバケットが同時に入ってきた場合には、他の優先度のバッファが空き状態でも、入力したバケットが廃棄されるなどメモリを有効的に利用することができない。また、バッファ融通方式を適用した従来のバッファ制御装置では、融通処理を行なうバッファ制御が大変複雑であっ

先情報が記憶されるよう制御する。

(作用)

本発明によれば、ヘッダが付加された情報を受信すると、識別手段はこのヘッダにより受信した情報が優先情報か非優先情報かを識別する。もしこのとき記憶手段に空きがあれば、制御手段は受信した情報を優先情報または非優先情報に関係なく記憶手段に記憶する。このとき、非優先情報を記憶した場合には、廃棄番地発生手段はその記憶番地を記憶する。また、記憶手段に記憶可能な数の情報が記憶手段に記憶されているときに優先情報を受信すると、制御手段は、廃棄番地発生手段に記憶されている非優先情報の記憶番地に、この優先情報を記憶する。

(実施例)

次に添付図面を参照して本発明によるバッファ制御装置の実施例を詳細に説明する。

第1図を参照すると、本発明におけるバッファ制御装置の実施例の機能ブロック図が示されてい

る。本実施例におけるバッファ制御装置1は、たとえばバケット交換機などに配設され、この交換機に所定以上のバケットが入力されて輻輳状態にならないように、入力バケットの流量制限を行なう制御装置である。同図に示すようにバッファ制御装置1は、制御回路10、書き込みアドレス発生回路12、セレクト回路14、廃棄アドレス発生回路16、優先識別回路18、バッファメモリ20および読出しアドレス発生回路22を有する。

第2図には、バッファ制御装置1に適用されるバケットのフレームフォーマット例が示されている。同図に示すようにバケット80は、そのヘッダ82に、優先バケットまたは非優先バケットのいずれであるかを示す廃棄優先ビットを記憶する廃棄優先ビットエリア86を含む。バッファ制御装置1は、このエリア86に廃棄優先ビットが示されているバケット80を非優先バケットとして、バッファメモリ20がフルのときに優先的に廃棄制御を行なう。

第1図に戻って優先識別回路18は、入力バス100を介しバケット80を受信する入力端子50に接続されている。優先識別回路18はバケットを受信したことを検出する検出回路である。優先識別回路18はまた、受信したバケット80の廃棄優先ビットエリア86より、非優先バケットかまたは優先バケットかどうかを識別する識別回路である。識別回路18は、受信したバケット80をデータバス102を介してバッファメモリ20に送るとともに、出力120を介し優先または非優先のいずれのバケットが到着したかを制御回路10および廃棄アドレス発生回路16に通知する。

バッファメモリ20は記憶番地であるアドレス毎に複数のバケット80を記憶する記憶部である。メモリ20は、バケットを受信するデータバス102に接続されたデータ入力端子Din(ライトデータ)、入力端子Dinより受信したバケットの書き込みアドレスを受信する書き込みアドレス入力端子Ain(ライトアドレス)、バケットを出力するデータ出力端子Dout(データアウト)およびこの出力端子Doutより出力するバケットのアドレスを受信する読出し

アドレス入力端子Aout(リードアドレス)とを有する。

廃棄アドレス発生回路16は、非優先バケットが書き込まれるバッファメモリ20のアドレスを記憶する記憶回路である。すなわち廃棄アドレス発生回路16は、優先識別回路18より受信したバケットが非優先バケットである旨の通知を受けると、書き込みアドレス発生回路12より送られてきたアドレスを、優先バケットに融通する廃棄アドレスとして記憶する。廃棄アドレス発生回路16は、記憶した廃棄アドレスをアドレスバス112によりセレクト回路14の他方の入力端子に出力する。

セレクト回路14は、2つのアドレス入力端子を有し、制御回路10の制御に従ってこれら入力端子より入力したいずれかのアドレスを出力するセレクト回路である。すなわちセレクト回路14は、通常は書き込みアドレス発生回路14からのアドレスをアドレスバス114を介しバッファメモリ20の入力端子Ainに出力するが、制御回路10よりバッファメモリがフルである旨の制御信号を受信すると、廃棄アドレス発生回路16からのアドレスを入力端子

メモリ20はまた、制御回路10に制御される書き込み制御を行なう書き込み制御端子MW(メモリライト)および読み出し制御を行なう読出し制御端子MR(メモリリード)を有する。バッファメモリ20は、制御回路10よりライト信号が書き込み制御端子MWに送られたとき、アドレス入力端子Ainに示されたアドレスへ、データ入力端子Dinに受信したバケットを書き込む。バッファメモリ20はまた、制御回路10からリード信号が読出し制御端子MRに送信されたとき、読み出しアドレス入力端子Aoutで指定されたアドレスのバケットを読み出す。

書き込みアドレス発生回路12は、入力128を介し制御回路10の制御に従って、受信したバケット80の書き込みアドレスを出力するアドレス発生回路である。アドレス発生回路12は、制御回路の指示に従ってバケット80の書き込みアドレスを、アドレスバス110を介しセレクト回路14の一方の入力端子および廃棄アドレス発生回路16にそれぞれ出力す

Ain に出力する。

読出しアドレス発生回路22は、バッファメモリ20に記憶されているパケットの読出しアドレスを出力する回路である。すなわちアドレス発生回路22は、制御回路10の指示に従いデータ出力端子Doutより出力するパケットのアドレスを、アドレスバス116を介しバッファメモリ20の読出しアドレス入力端子Aoutに出力する。

制御回路10は、受信したパケットの書き込み制御および読出し制御をバッファメモリ20に行なう制御回路である。すなわち制御回路10は、バッファメモリ20に空きがあれば、その空きアドレスを書込みアドレス発生回路12より出力し、このアドレス先に受信したパケットが書き込まれるよう制御する。また、バッファメモリ20がフルのときに非優先パケットを受信するとその廃棄制御を行なう。さらに、バッファメモリがフルのときに優先パケットを受信すると、制御回路10は、廃棄アドレス発生回路16に記憶されたアドレスに、受信した優先パケットが書き込まれるようその書き込み制

御にライト信号を送信する。これにより、データ入力端子Dinに送られたパケット80は、バッファメモリ20の書き込みアドレス入力端子Ainに示されたアドレスに記憶される。なお、このとき受信したパケット80が非優先パケットの場合には、廃棄アドレス発生回路16は書き込みアドレス発生回路12より出力されたこの非優先パケットのアドレスを記憶する。

第3図(a)にはバッファメモリ20がフルの状態では優先パケットを受信した場合の廃棄制御の動作例が、また同図(b)にはバッファメモリ20がフルの状態では非優先パケットを受信したときの廃棄制御の一例がそれぞれ示されている。なお、ここでは理解を容易にするために白丸を優先パケットとして、また黒丸を非優先パケットとして示してある。

バッファメモリ20がフルのときに非優先パケットを受信すると、第3図(b)に示すようにそのパケットは廃棄される。すなわち、バッファメモリ20がフルのときに非優先パケットを受信すると、

御を行なう。

動作を説明する。入力端子50よりパケット80が優先識別回路18に送られてくると、優先識別回路18は、パケット80がきたことを検出し、かつヘッダ82の廃棄優先ビットエリア86に廃棄優先ビットが記載されているかどうかを識別する。識別回路18は、受信したパケット80の廃棄優先ビットの有無を、廃棄アドレス発生回路16および制御回路10に通知するとともに、このパケット80をバッファメモリ20のデータ入力端子Dinに送る。

制御回路10は、バッファメモリ20に空きがあるときにパケットが到着した知らせを受けると、このパケットが記憶されるバッファメモリ20のアドレス先を出力するよう書き込みアドレス発生回路12を制御する。制御回路10はまた、このようにバッファメモリ20がフルでない場合には、書き込みアドレス発生回路12からのアドレスがバッファメモリ20の書き込みアドレス入力端子Ainに出力されるようセレクト回路14を制御するとともに、書き込み制御端子

制御回路10はバッファメモリ20がフルである旨の信号をセレクト回路14に送る。これによりセレクト回路14は、廃棄アドレス発生回路16より送られてきたアドレスをバッファメモリ20のアドレス入力端子Ainに出力する。しかしながら受信したパケット80が非優先パケットの場合には、制御回路10はメモリライト信号を書込み制御端子MWに出力しない。このため、このパケットはバッファメモリ20に記憶されずに廃棄される。

バッファメモリ20がフルのときに優先パケットを受信すると、第3図(a)に示すように、バッファメモリ20に記憶されている非優先パケットを廃棄し、受信した優先パケットをこのメモリ20に記憶する。すなわち、バッファメモリ20がフルのときに優先パケットを受信すると、非優先パケットのときと同様に、セレクト回路14は、制御回路10の制御により廃棄アドレス発生回路16からのアドレスを書込みアドレス入力端子Ainに出力する。そして、この場合には制御回路10がメモリライト信号を書込み制御端子MWに出力するため、

バッファメモリ20は廃棄アドレス発生回路16から送られてきた非優先バケットが記憶されているアドレスに、受信した優先バケットを上書きする。

バッファメモリ20に記憶されたバケット80を出力する場合、制御回路10は、読出しアドレス発生回路22を制御してリードアドレスをアドレス入力端子Aoutに出力するとともに、リード信号を読出し制御端子MRに出力する。これにより、バッファメモリ20のリードアドレスに記憶されているバケット80は、データ出力端子Doutより出力端子52に送られる。

なお、本実施例ではバッファ制御装置1がバケット交換機に適用された例で説明したが、勿論本発明はバケット交換機に限定されるものではなく、伝送の単位をセルとするたとえばATM交換機などにも有利に適用される。

#### (発明の効果)

このように本発明によれば、受信した情報に優

先順位を設け、これに基づいて廃棄制御を行なうため、高品質な廃棄制御が可能である。本発明はまた、簡単な回路構成で廃棄制御をすることが可能である。本発明はさらに、優先順位毎にそれぞれ記憶手段を配設する必要が無く、論理的にも物理的にも1つの記憶手段で廃棄制御を行なうため、記憶手段の使用効率も良い。

#### 4. 図面の簡単な説明

第1図は本発明によるバッファ制御装置の実施例を示す機能ブロック図、

第2図は、第1図の装置に適用されるバケットフォーマットの例を示したフォーマット図、

第3図は、第1図の装置の廃棄制御の動作例を示す動作説明図である。

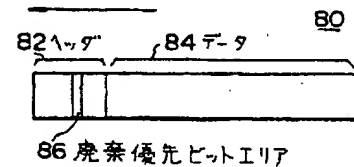
#### 主要部分の符号の説明

- 1 . . . バッファ制御装置
- 10 . . . 制御回路
- 12 . . . 書き込みアドレス発生回路
- 14 . . . セレクタ回路

- 16 . . . 廃棄アドレス発生回路
- 18 . . . 優先識別回路
- 20 . . . バッファメモリ
- 22 . . . 読出しアドレス発生回路

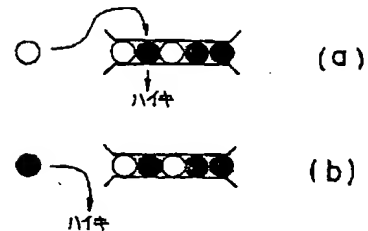
特許出願人 沖電気工業株式会社

代理人 香取 孝雄  
丸山 隆夫



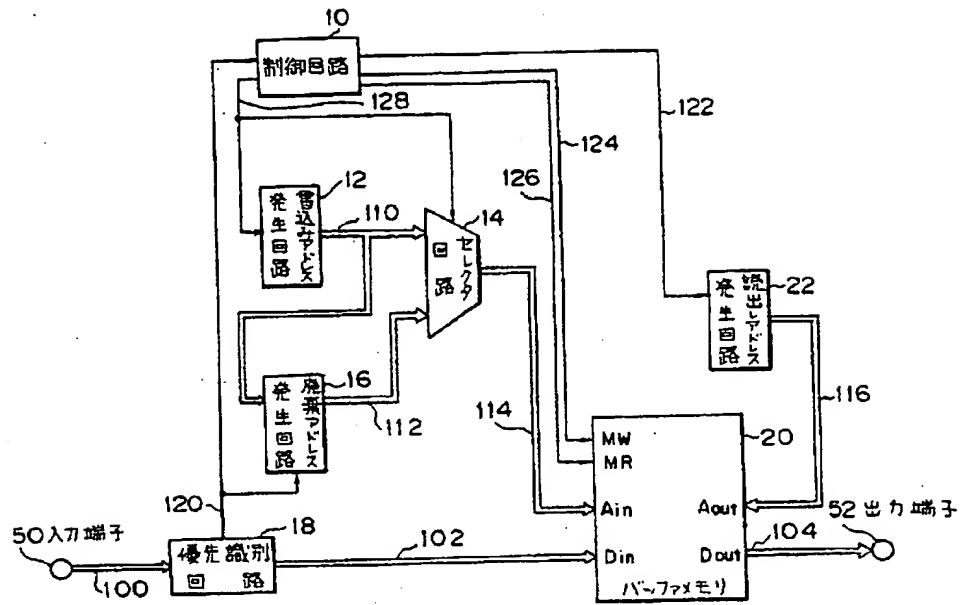
本実施例に適用されるバケットのフレームフォーマット

#### 第2図



本実施例における廃棄制御の例

#### 第3図



バッファ制御装置の実施例

第 1 図